



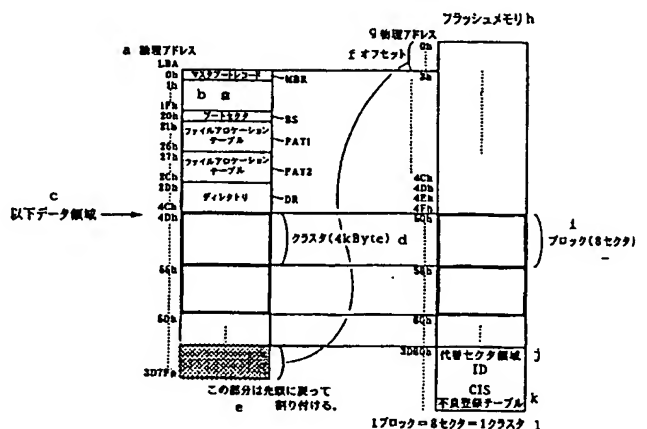
<p>(51) 国際特許分類7 G06F 12/00, 12/02, G06K 19/07, G11C 16/06</p>	<p>A1</p>	<p>(11) 国際公開番号 WO00/50997</p> <p>(43) 国際公開日 2000年8月31日(31.08.00)</p>
<p>(21) 国際出願番号 PCT/JP00/00827</p> <p>(22) 国際出願日 2000年2月15日(15.02.00)</p> <p>(30) 優先権データ 特願平11/42518 1999年2月22日(22.02.99)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP) 株式会社 日立超エル・エス・アイ・システムズ(HITACHI ULSI SYSTEMS CO., LTD.)(JP/JP) 〒187-8522 東京都小平市上水本町5丁目22番1号 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 白石 敦(SHIRAISHI, Atsushi)(JP/JP) 井上 学(INOUE, Manabu)(JP/JP) 大貫由一郎(ONUKEI, Yuichiro)(JP/JP) 鈴木 猛(SUZUKI, Takeshi)(JP/JP) 松村謙三(MATSUMURA, Kenzo)(JP/JP) 〒187-8522 東京都小平市上水本町5丁目22番1号 株式会社 日立超エル・エス・アイ・システムズ内 Tokyo, (JP)</p>	<p>塩田茂雅(SHIOTA, Shigemasa)(JP/JP) 湯川洋介(YUKAWA, Yosuke)(JP/JP) 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体グループ内 Tokyo, (JP)</p> <p>(74) 代理人 筒井大和(TSUTSUI, Yamato) 〒160-0023 東京都新宿区西新宿7丁目22番45号 N.S. Excel 301 筒井国際特許事務所 Tokyo, (JP)</p> <p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>	

(54) Title: MEMORY CARD, METHOD FOR ALLOTING LOGICAL ADDRESS, AND METHOD FOR WRITING DATA

(54) 発明の名称 メモリカード、論理アドレスの割り付け方法およびデータ書き込み方法

(57) Abstract

A block is made to agree with a cluster to efficiently delete data in units of a block. The physical addresses in a flash memory are separated in units of a block (8 sectors) in order from the address 0h. The start of the data area of the logical addresses is the address 4Dh, and the logical address 4Dh is allotted as a data area to the address 50h being the start address of the block near the address 4Dh. The remaining logical addresses from the address 3D7Dh to the address 3D7Fh are allotted back to the start portion of the physical addresses from the physical address 0h to 2h. Thus, a block is made to agree with a cluster (4 kByte or 2 kByte) outputted from a host, and the data in the flash memory can be deleted in units of a block, thereby greatly reducing the number of deletions during data write.



- | | |
|--|----------------------------------|
| a... LOGICAL ADDRESS | f... OFFSET |
| MBR... MASTER BOOT CODE | g... PHYSICAL ADDRESS |
| b... EMPTY | h... FLASH MEMORY |
| BS... BOOT SECTOR | i... BLOCK (8 SECTORS) |
| FAT1... FILE ALLOCATION TABLE | j... ALTERNATE SECTOR AREA ID |
| FAT2... FILE ALLOCATION TABLE | k... CIS DEFECT REGISTER TABLE |
| DR... DIRECTORY | l... 1 BLOCK=8 SECTORS=1 CLUSTER |
| c... THE AREA FROM THIS IS DATA AREA | |
| d... CLUSTER (4 kByte) | |
| e... THIS PART IS ALLOTTED BACK TO THE START | |

(57)要約

ブロックとクラスタとを一致させ、ブロック単位の消去を効率よく行う。フラッシュメモリにおける物理アドレスは、0 h番地から順番にブロック(8セクタ)単位により区切られている。論理アドレスのデータ領域が始まりは4 D h番地であり、これに近いブロックの先頭アドレスである5 0 h番地に論理アドレスの4 D h番地をデータ領域として順次割り付ける。残りの論理アドレス3 D 7 D h番地～3 D 7 F h番地は、物理アドレスの先頭に戻り、物理アドレスの0 h番地～2 h番地に割り付けられる。よって、ブロックとホストから出力されるクラスタ(4 k B y t eまたは2 k B y t e)とを一致でき、フラッシュメモリのデータをブロック単位だけで消去できるのでデータ書き込み時の消去回数を大幅に少なくすることができる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦	DM ドミニカ	KZ カザフスタン	RU ロシア
AG アンティグア・バーブーダ	DZ アルジェリア	LC セントルシア	SD スーダン
AL アルバニア	EE エストニア	LI リヒテンシュタイン	SE スウェーデン
AM アルメニア	ES スペイン	LK スリ・ランカ	SG シンガポール
AT オーストリア	FI フィンランド	LR リベリア	SI スロヴェニア
AU オーストラリア	FR フランス	LS レソト	SK スロヴァキア
AZ アゼルバイジャン	GA ガボン	LT リトアニア	SL シェラ・レオネ
BA ボスニア・ヘルツェゴビナ	GB 英国	LU ルクセンブルグ	SN セネガル
BB バルバドス	GD グレナダ	LV ラトヴィア	SZ スワジランド
BE ベルギー	GE グルジア	MA モロッコ	TD チャード
BF ブルキナ・ファソ	GH ガーナ	MC モナコ	TG トーゴ
BG ブルガリア	GM ガンビア	MD モルドヴァ	TJ タジキスタン
BJ ベナン	GN ギニア	MG マダガスカル	TM トルクメニスタン
BR ブラジル	GR ギリシャ	MK マケドニア旧ユーゴスラヴィア	TR トルコ
BY ベラルーシ	GW ギニア・ビサオ	共和国	TT トリニダード・トバゴ
CA カナダ	HR クロアチア	ML マリ	TZ タンザニア
CF 中央アフリカ	HU ハンガリー	MN モンゴル	UA ウクライナ
CG コンゴ	ID インドネシア	MR モリタニア	UG ウガンダ
CH スイス	IE アイルランド	MW マラウイ	US 米国
CI コートジボアール	IL イスラエル	MX メキシコ	UZ ウズベキスタン
CM カメルーン	IN インド	MZ モザンビーク	VN ヴェトナム
CN 中国	IS アイスランド	NE ニジェール	YU ユーゴスラヴィア
CR コスタ・リカ	IT イタリア	NL オランダ	ZA 南アフリカ共和国
CU キューバ	JP 日本	NO ノールウェー	ZW ジンバブエ
CY キプロス	KE ケニア	NZ ニュー・ジーランド	
CZ チェッコ	KG キルギスタン	PL ポーランド	
DE ドイツ	KP 北朝鮮	PT ポルトガル	
DK デンマーク	KR 韓国	RO ルーマニア	

明 細 書

メモリカード、論理アドレスの割り付け方法およびデータ書き込み方法

5 技術分野

本発明は、メモリカードの書き込み高速化技術に関し、特に、フラッシュメモリにおける論理アドレスの割り付けに適用して有効な技術に関するものである。

背景技術

- 10 ノートブック形パーソナルコンピュータや多機能端末機などの外部記憶メディアとして、メモリカードが急速に普及している。近年の高性能化の要求に伴って、メモリカードに搭載される半導体メモリとして、たとえば、電氣的に一括消去、書き換えが可能であり、電池なしで大容量のデータを保持できるフラッシュメモリが用いられている。
- 15 本発明者が検討したところによれば、メモリカードに用いられているフラッシュメモリは、データ書き込み動作として、データが書き込まれる前に、書き込まれるアドレスのデータ消去を行っている。この消去は、セクタ単位（たとえば、1セクタ＝512Byte）あるいはブロック単位（8セクタ＝4kByte）で実行されている。
- 20 また、ホストから入出力されるデータは、クラスタ単位（たとえば、4kByteまたは2kByte）となっており、このクラスタによりデータの書き込みや読み出しが行われている。
- さらに、メモリカードにおいては、製品出荷前などにフラッシュメモリの論理アドレス割り付けが行われる。論理アドレスは、マスタブートレコード、ファイル
- 25 アルロケーションテーブル、およびディレクトリなどの各種制御管理情報が格納される領域の後にホストから入出力されるデータを格納するデータ領域が割り付けられる。

なお、この種のICカードについて詳しく述べてある例としては、1990年12月1日、株式会社工業調査会発行、大島雅志（編）、「電子材料」P22～

P 2 6 があり、この文献には、各種の I C カードにおける技術動向が記載されている。

ところが、上記のようなメモ리카ードのデータ消去技術では、次のような問題点があることが本発明者により見い出された。

- 5 すなわち、論理アドレス割り付けにおいては、フラッシュメモリの物理アドレスの順番通りに割り付けられているために、クラスタとフラッシュメモリに割り付けられる論理アドレスとがずれてしまい、前述したデータ書き込み前のデータ消去を、セクタ単位あるいはセクタ単位とブロック単位との組み合わせによって実行しなければならず、消去回数が多くなってしまい、書き込み時間が長くなる
- 10 という問題がある。

また、フラッシュメモリへのデータ書き込みにおいては、ホストからのデータ転送、消去、書き込み処理をシリアル処理しているので、それぞれの処理において時間が必要となってしまうために書き込み速度の高速化の妨げとなっているという問題がある。

- 15 本発明の目的は、ブロックとクラスタとを一致させ、ブロック単位の消去を効率よく行い、かつデータ書き込みを効率よく行うことにより、データの書き込み速度を高速化することのできる論理アドレスの割り付け方法およびメモ리카ードのデータ書き込み方法を提供することにある。

- 20 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

- 本発明は、オフセット値が格納されたオフセット格納部と、該オフセット格納部のオフセット値と入力された論理アドレスとを演算するオフセット演算部とを
- 25 備え、オフセット演算部の演算により論理アドレスをオフセットさせて不揮発性メモリに備えられた物理アドレスに割り付け、ブロック単位とクラスタ単位とを一致させるものである。

また、本発明は、前記オフセット格納部を不揮発性メモリの領域に備えたものである。

さらに、本発明は、前記オフセット値を、不揮発性メモリにおけるID領域に格納するものである。

また、本発明は、不揮発性メモリに備えられた物理アドレスをあるセクタ毎にまとめてセクタブロックを形成し、それぞれのセクタブロックのうち、任意のセクタブロックにおける先頭の物理アドレスを、データ領域が始まる先頭の論理アドレスに割り付け、論理アドレスのデータ領域を物理アドレスの最後のセクタまで割り付けるものである。

さらに、本発明は、不揮発性メモリに備えられた物理アドレスをあるセクタ毎にまとめてセクタブロックを形成し、それぞれのセクタブロックのうち、任意のセクタブロックにおける先頭の物理アドレスを、データ領域が始まる先頭の論理アドレスに割り付け、論理アドレスのデータ領域が物理アドレスの最後のセクタまで割り付いたら、残りのデータ領域を物理アドレスの最初から割り付けるものである。

また、本発明は、それら2つの不揮発性メモリに備えられたそれぞれの物理アドレスを、あるセクタ毎にまとめてセクタブロックを形成し、2つの不揮発性メモリのうち、一方の不揮発性メモリの任意のセクタブロックにおける先頭の物理アドレスにデータ領域が始まる先頭の論理アドレスを割り付けた後、残りの論理アドレスを交互に2つの不揮発性メモリのセクタブロック毎に割り付け、論理アドレスのデータ領域が、2つの不揮発性メモリにおける物理アドレスの最後のセクタまで割り付いたら、残りのデータ領域を前記一方の不揮発性メモリにおける物理アドレスの最初から割り付けるものである。

さらに、本発明は、2Nの不揮発性メモリに備えられたそれぞれの物理アドレスを、あるセクタ毎にまとめてセクタブロックを形成し、2N個の不揮発性メモリのうち、ある1つの不揮発性メモリの任意のセクタブロックにおける先頭の物理アドレスにデータ領域が始まる先頭の論理アドレスを割り付けた後、残りの論理アドレスを順番に2N個の不揮発性メモリのセクタブロック毎に割り付け、論理アドレスのデータ領域が、2N個の不揮発性メモリにおける物理アドレスの最後のセクタまで割り付いたら、残りのデータ領域を前記ある1つの不揮発性メモリにおける物理アドレスの最初から割り付けるものである。

また、本発明は、論理アドレスが割り付けられるセクタブロックの物理アドレスが、データ領域が始まる先頭の論理アドレスにもっとも近いアドレスよりなるものである。

さらに、本発明は、ホストから転送される書き込みデータをメモリカードに一時的に格納し、不揮発性メモリにおける1ブロック分の管理情報を読み込んで、そのブロック消去を行い、メモリカードに一時的に格納された書き込みデータを不揮発性メモリのブロック消去されたセクタに格納しながら、ホストから転送される次の書き込みデータをメモリカードに一時的に格納するものである。

また、本発明は、1番目にデータ書き込みされる不揮発性メモリに備えられたセクタブロックの管理情報を読み込み、そのセクタブロックをブロック消去する第1の工程と、メモリカードに一時的に格納された書き込みデータを不揮発性メモリのセクタに格納しながら、2番目にデータ書き込みされる不揮発性メモリにおける任意のセクタの管理情報を読み込み、次の書き込みデータをメモリカードに一時的に格納する第2の工程と、2番目にデータ書き込みされる不揮発性メモリにおけるセクタブロックのすべての管理情報が読み込まれると、そのセクタブロックの消去を行いながら、メモリカードに一時的に格納された書き込みデータを1番目の不揮発性メモリのセクタに格納し、2番目にデータ書き込みされる不揮発性メモリにおける任意のセクタの管理情報を読み込む第3の工程と、第2、第3の工程における処理を、2N番目にデータ書き込みされる不揮発性メモリまで繰り返し行うものである。

それらにより、複数個の不揮発性メモリにおける消去、書き込み、ホストからメモリカードへのデータ転送を並列して実行できるので、データの書き込み時間を大幅に短縮することができる。

以上のことにより、メモリカードの性能を大幅に向上することができる。

図面の簡単な説明

図1は、本発明の実施の形態1によるメモリカードのブロック図、図2は、本発明の実施の形態1によるメモリカードに設けられたフラッシュメモリの回路ブロック図、図3は、本発明の実施の形態1によるメモリカードに用いられる論理

アドレスとフラッシュメモリに固定された物理アドレスとのデータ構成の説明図、図4は、本発明の実施の形態1によるフラッシュメモリにおける論理アドレスが割り付けられたデータ構成の説明図、図5は、本発明者が検討した論理アドレスが割り付けられたフラッシュメモリにおけるデータ構成の説明図、図6は、本発明の実施の形態1によるメモリカードにおけるデータ書き込みのフローチャート、図7は、本発明の実施の形態2によるメモリカードのブロック図、図8は、本発明の実施の形態2によるフラッシュメモリにおける論理アドレスが割り付けられたデータ構成の説明図、図9は、本発明の実施の形態2による物理アドレスに割り付けられる論理アドレスの説明図、図10は、本発明の実施の形態2によるメモリカードにおけるデータ書き込みのフローチャート、図11は、本発明の実施の形態1によるフラッシュメモリに設けられるメモリセルトランジスタの断面図である。

発明を実施するための最良の形態

15 本発明を詳細に説明するために、添付の図面に従ってこれを説明する。なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

本実施の形態1において、メモリカード1は、フラッシュメモリカードであり、ノートブック形パーソナルコンピュータや多機能端末機などの外部記憶メディアとして用いられる。

メモリカード1は、インタフェース回路2、マイクロコンピュータ3、およびフラッシュメモリ（不揮発性メモリ）4から構成されており、これらの電子部品がプリント配線基板上に実装されている。そして、インタフェース回路2、マイクロコンピュータ3によってコントローラが構成されている。このメモリカード1は、たとえば、パーソナルコンピュータなどのホストに設けられたPCカードスロットルに着脱自在に実装される。

また、インタフェース回路2は、コマンドレジスタ5、データレジスタ6、ステータスレジスタ7、コマンドデコーダ8、バッファメモリ9、10、ならびにインタフェースコントローラ11から構成されている。

マイクロコンピュータ 3 は、割り込み制御回路 1 2、マイクロプロセッサ（オフセット演算部を含む） 1 3、ROM（Read Only Memory） 1 4、RAM（Random Access Memory） 1 5、タイマ 1 6、および入出力ポート 1 7 から構成されている。

- 5 インタフェース回路 2 は、PC カードスロットを介して前述したホストにインタフェースされ、コマンドレジスタ 5 には、ホストからファイル操作コマンドが与えられ、コマンドはコマンドデコーダ 8 によりデコードされる。

- 10 コマンドデコーダ 8 は、デコード結果に応じた割り込み信号 IRQ 1 ~ IRQ n を出力する。割り込み信号 IRQ 1 ~ IRQ n は割り込み制御回路 1 2 からマイクロプロセッサ 1 3 に与えられる。ROM 1 4 には、マイクロプロセッサ 1 3 の動作プログラムが格納されており、マイクロプロセッサ 1 3 は RAM 1 5 をワーク領域に利用してプログラムを実行する。

- 15 マイクロプロセッサ 1 3 は、動作プログラムに基づいてインタフェース回路 2、フラッシュメモリ 4 に対する制御を、入出力ポート 1 7 を介して行う。マイクロコンピュータ 3 は、インタフェースコントローラ 1 1 にアドレス信号 ADR S、アドレスストロブ信号 AS b、リード信号 RD b、およびライト信号 WR b を出力し、インタフェースコントローラ 1 1 との間でデータ情報 DATA のやり取りをする。

- 20 これによって、マイクロコンピュータ 3 は、データレジスタ 6、ステータスレジスタ 7、およびバッファメモリ 9、1 0 をインタフェースコントローラ 1 1 を介してアクセスする。

- 25 フラッシュメモリ 4 は、インタフェースコントローラ 1 1 に接続される制御信号線、およびデータ信号線を共有している。さらに、マイクロコンピュータ 3 は、フラッシュメモリ 4 のそれぞれに対応するチップイネーブル信号 CE を入出力ポート 1 7 から出力する。

これによって、コンピュータ 3 は、フラッシュメモリ 4 におけるチップを選択し、インタフェースコントローラ 1 1 にアドレス信号 ADR S、アドレスストロブ信号 AS b、リード信号 RD b、ライト信号 WR b を出力し、インタフェースコントローラ 1 1 を介してチップ選択されたフラッシュメモリ 4 に対するアク

セスを行う。

また、フラッシュメモリ 4 について、図 2 を用いて説明する。

フラッシュメモリ 4 は、メモリアレイ 18、X アドレスデコーダ 19、X アドレスバッファ 20、マルチプレクサ 21、入力バッファ 22、データ制御回路 23、Y ゲートアレイ 24、Y アドレスデコーダ 25、出力バッファ 26、Y アドレスカウンタ 27、制御信号バッファ回路 28、モード制御回路 29、内部電源回路 30 から構成されている。

メモリアレイ 18 は、メモリマツト、センスラッチ回路を有している。このメモリマツトは、電氣的に消去および書き込み可能な不揮発性のメモリセルトランジスタを多数有している。

このメモリアレイ 18 が有するメモリセルトランジスタ T_r は、図 11 に示すように、半導体基板、あるいはメモリウェル SUB に形成されたソース S、ドレイン D、チャネル領域にトンネル酸化膜を介して形成されたフローティングゲート FG、ならびに該フローティングゲート FG に層間絶縁膜を介して重ねられたコントロールゲート CG から構成されている。コントロールゲート CG はワード線（図 2）に、ドレイン D はビット線（図 2）にそれぞれ接続されている。

外部入力端子 $I/O0 \sim I/O7$ は、アドレス入力端子、データ入力端子、コマンド入力端子が兼用される。外部入力端子 $I/O0 \sim I/O7$ から入力された X アドレス信号は、マルチプレクサ 21 を介して X アドレスバッファ 20 に供給される。X アドレスバッファ 20 から出力された内部相補アドレスは X アドレスデコーダによってデコードされてワード線を駆動する。

Y アドレスデコーダ 25 から出力される選択信号に基づいて Y ゲートアレイ 24 がビット線の選択を行う。入出力端子 $I/O0 \sim I/O7$ から入力された Y アドレス信号は、Y アドレスカウンタ 27 にプリセットされ、プリセット点を起点に順次インクリメントされたアドレス信号が Y アドレスデコーダ 25 に与えられる。

Y ゲートアレイ 24 において選択されたビット線は、データ出力動作時には出力バッファ 26 の入力部に導通され、データ入力動作時にはデータ制御回路 23 を介して入力バッファ 22 の出力端子に導通される。

出力バッファ 26、入力バッファ 22 と入出力端子 I/O 0 ~ I/O 7 との接続は、マルチプレクサ 21 により制御される。入出力端子 I/O 0 ~ I/O 7 から供給されるコマンドは、マルチプレクサ 21 ならびに入力バッファ 22 を介してモード制御回路 29 に与えられる。

- 5 データ制御回路 23 は、入出力端子 I/O 0 ~ I/O 7 から供給されるデータの他に、モード制御回路 29 の制御にしたがった論理値のデータをメモリアレイ 18 に供給する。

制御信号バッファ回路 28 は、アクセス制御信号としてチップイネーブル信号 CE b、出力イネーブル信号 OE b、書き込みイネーブル信号 WE b、シリアル
10 クロック信号 SC、リセット信号 RES b、ならびにコマンドイネーブル信号 CDE b が供給される。

モード制御回路 29 は、それら信号の状態に応じて外部との信号インタフェース機能などを制御し、コマンドコードにしたがって内部動作を制御する。また、モード制御回路 29 は、コマンドにしたがってフラッシュメモリ 4 の制御を司る。

- 15 内部電源回路 30 は、書き込み、消去ベリファイ、読み出しなどに用いられる各種の電源を生成し、X アドレスデコーダ 19、メモリマット 18 のメモリセルアレイなどに供給する。

次に、メモリカード 1 に設けられたフラッシュメモリ 4 に割り付けられる論理アドレスについて、図 3、図 4 を用いて説明する。

- 20 図 3 の左側に示す論理アドレスにおいては、最初にフラッシュメモリ 4 の管理を行う制御情報データを格納する領域、いわゆる、システム領域が割り付けられている。

このシステム領域における制御情報データは、マスタブートレコード MBR、ブートセクタ BS、ファイルアロケーションテーブル FAT 1、FAT 2、なら
25 びにディレクトリ DR によって構成されている。システム領域における論理アドレスは、0 h 番地 ~ 4 C h 番地（ここで、h は 16 進数を示す）が割り当てられている。

また、システム領域の後には、論理アドレスにおける 4 D h 番地以降から 3 D 7 F h 番地までの領域が、ホストから入出力されるデータが格納されるデータ領

域として割り付けられている。このデータ領域におけるそれぞれの番地は、消去／読み出し／書き込みが行われる単位であるセクタからなり、1セクタは、データ長が512 Byteのユーザデータ領域と16バイトの管理情報領域とから構成されている。

- 5 これらシステム領域ならびにデータ領域の論理アドレス割り付けは、メモリカード1の製品出荷前に行われるフォーマット、たとえば、MS-DOS (Microsoft Disk Operating System: 米国マイクロソフト社の登録商標) フォーマット時に作成される。

- さらに、図3の右側に示すMS-DOSフォーマット前のフラッシュメモリ4
10 に固定されているアドレスである物理アドレスについて説明する。

- このフラッシュメモリ4の場合、たとえば、物理アドレスは、0h番地～3D7F番地が論理アドレスの割り付けに用いられ、3D80h番地以降には不良セクタの管理を行うための不良登録テーブルを格納する不良登録テーブル格納領域、およびその不良登録テーブルセクタを参照して代替セクタにアクセスを行う代替セクタ領域、メモリカードのドライブ情報ID (Identify Drive Information) を格納するID領域、メモリカードの名前、種類、機能などの情報CIS (Card Information Structure) を格納するCIS領域が設けられる。不良登録テーブル格納領域、ID領域、CIS領域はユーザーによるアクセスが不可能な領域である。
- 15

- 20 また、フラッシュメモリ4における物理アドレスへの論理アドレス割り付けについて説明する。

物理アドレスは、0h番地から順番にブロック (8セクタ=4kByte) 単位により区切られている。論理アドレスのデータ領域が始まるアドレスは、4Dh番地である。

- 25 このアドレスに近いブロックには、物理アドレスの50h番地から始まるブロックがあるので、このブロックの先頭アドレスである50h番地と論理アドレスにおけるデータ領域の先頭アドレスである4Dh番地と一致させて順次データ領域として割り付ける。

よって、物理アドレスの3h番地に論理アドレスの0h番地がオフセットされ

て割り付けられることになる。これによって、ブロックと、ホストから出力されるデータの単位であるクラスタ（4 k B y t eまたは2 k B y t e）とを一致させることができる。

5 オフセットは、フラッシュメモリ 4 のある領域、たとえば、領域 I Dなどに予め格納されており、電源投入時に、そのオフセット値をマイクロプロセッサ 1 3 が読み出し、R A M 1 5 に格納する。

ホストから指定された論理アドレスは、R A M 1 5 に格納されているオフセット値を用いてマイクロプロセッサ 1 3 が演算することによって物理アドレスに変換される。

10 ここで、物理アドレスと論理アドレスとはオフセットされて割り付けられているので、論理アドレス 3 D 7 D h 番地～3 D 7 F h 番地が足りないことになるが、これら 3 つのアドレスは、物理アドレスの先頭に戻り、オフセットによって割り付けられていない物理アドレスの 0 h 番地～2 h 番地に割り付けられる。

また、図 4 は、フラッシュメモリ 4 の物理アドレスに論理アドレスをオフセッ
15 トして割り付けた場合を示したものである。

論理アドレスの 4 D h 番地からのデータ領域は、物理アドレスにおけるブロックの先頭アドレスである 5 0 h 番地から割り付けられており、オフセットして割り付けられたことによって残った論理アドレスの 3 D 7 D h 番地～3 D 7 F h 番地は、物理アドレスの先頭に戻り、0 h 番地～2 h 番地にそれぞれ割り付けられ
20 ている。

次に、論理アドレスが割り付けられたフラッシュメモリ 4 におけるデータ消去について説明する。

たとえば、論理アドレスの 4 D h 番地から 1 6 セクタ（2 クラスタ）のデータ書き込みが行われる場合、論理アドレスにおける 4 D h 番地から 1 6 セクタの間、
25 すなわち、物理アドレスにおける 5 0 h 番地～6 0 h 番地の 2 つのブロックの消去だけでよいので、消去回数を 2 回とすることができる。

ここで、本発明者が検討した論理アドレスをそのまま物理アドレスに割り付けた場合の論理アドレス割り付け方法を図 5 に示す。

この場合、論理アドレスにおけるデータ領域は、4 D h 番地から始まっており、

- 同じく物理アドレスにおけるデータ領域も4 Dh番地から始まっている。本実施の形態1と同様に、物理アドレスは、0 h番地から順番にブロック（8セクタ＝4 k B y t e）単位により区切られている。しかし、物理アドレスの4 Dh番地はブロックの先頭ではなく、途中のアドレスであるので、クラスタとブロックの
- 5 先頭アドレスもずれることになる。

このとき、論理アドレスの4 Dh番地から16セクタのデータ書き込みが行われると、物理アドレスにおいても4 Dh番地～5 Dh番地の16セクタのデータ消去を行わなければならない。

- この場合、ブロック消去が行われるは、物理アドレスにおける50 h番地～5
- 10 7 h番地だけであり、その他の番地における8セクタは、それぞれ個別にセクタ消去を行わなければならない、消去回数は9回となり、データ消去時間が大幅に長くなってしまう。

次に、フラッシュメモリ4におけるデータ書き込み動作について、図6のタイミングチャートを用いて説明する。

- 15 まず、ホストから1セクタ分のデータである転送データT1がメモリカード1のバッファメモリに転送される。メモリカード1のコントローラは、書き込まれるフラッシュメモリ4のそれぞれのセクタS1～セクタS8における管理情報をリードし、不具合がない場合には、それらセクタS1～S8のデータを1度に消去、すなわち、ブロック消去を行う。

- 20 その転送データT1は、フラッシュメモリ4の入力バッファに転送され、データ書き込み（書き込み1）が行われる。このとき、ホストからは、次のデータである転送データT2が転送される。

- 転送データT1が書き込まれた後、続いて転送データT2が、フラッシュメモリ4の入力バッファに入力され、データ書き込み（書き込み2）が行われる。このとき、同様に、ホストからは、次のデータである転送データT3が転送される。
- 25

このように、フラッシュメモリ4へのデータ書き込みと、メモリカードへのデータ転送とを同時に実行し、かつデータをブロック消去することによってフラッシュメモリ4へのデータ書き込みを効率よく行うことができる。

それにより、本実施の形態1によれば、フラッシュメモリ4の物理アドレスを

オフセットさせて論理アドレス割り付けを行うので、ブロック領域とクラスタ領域とを一致させることができ、フラッシュメモリ 4 のデータをブロック単位によって消去するので、データ書き込み時の消去回数を大幅に少なくすることができる。

- 5 また、フラッシュメモリ 4 へのデータ書き込みと、ホストからのメモリカードへのデータ転送とを同時に実行することによって、データの書き込み時間を大幅に短縮することができる。

- 次に、実施の形態 2 におけるメモリカード 1 a の構成について説明する。メモリカード 1 a は、図 7 に示すように、インタフェース回路 2、マイクロコンピュータ 3、ならびにフラッシュメモリ 4、4 a から構成されている。インタフェース回路 2、マイクロコンピュータ 3、フラッシュメモリ 4 は、前記実施の形態 1 と同様の構成であるが、フラッシュメモリ 4 a が新たに設けられている。
- 10 また、インタフェース回路 2 も、前記実施の形態 1 と同様に、コマンドレジスタ 5、データレジスタ 6、ステータスレジスタ 7、コマンドデコーダ 8、バッファメモリ 9、10、ならびにインタフェースコントローラ 11 から構成されており、マイクロコンピュータ 3 も前記実施の形態 1 と同様に、割り込み制御回路 12、マイクロプロセッサ 13、ROM 14、RAM 5、タイマ 16、および入出力ポート 17 から構成されている。

- また、インタフェース回路 2 も、前記実施の形態 1 と同様に、コマンドレジスタ 5、データレジスタ 6、ステータスレジスタ 7、コマンドデコーダ 8、バッファメモリ 9、10、ならびにインタフェースコントローラ 11 から構成されており、マイクロコンピュータ 3 も前記実施の形態 1 と同様に、割り込み制御回路 12、マイクロプロセッサ 13、ROM 14、RAM 5、タイマ 16、および入出力ポート 17 から構成されている。
- 15 フラッシュメモリ（不揮発性メモリ）4 a は、フラッシュメモリ 4 とインタフェースコントローラ 11 に接続される制御信号線、およびデータ信号線を共有している。さらに、マイクロコンピュータ 3 は、フラッシュメモリ 4、4 a のそれぞれに対応するチップイネーブル信号 CE を入出力ポート 17 から出力する。
- 20 これによって、マイクロコンピュータ 3 は、フラッシュメモリ 4、4 a におけるチップを選択し、インタフェースコントローラ 11 にアドレス信号 ADRS、

- 25 アドレスストロブ信号 AS b、リード信号 RD b、ライト信号 WR b を出力し、インタフェースコントローラ 11 を介してチップ選択されたフラッシュメモリ 4、4 a に対するアクセスを行う。

さらに、フラッシュメモリ 4 a における構成も、フラッシュメモリ 4（図 2）と同様であり、メモリアレイ 18、X アドレスデコーダ 19、X アドレスバッフ

ァ 2 0、マルチプレクサ 2 1、入力バッファ 2 2、データ制御回路 2 3、Yゲートアレイ 2 4、Yアドレスデコーダ 2 5、出力バッファ 2 6、Yアドレスカウンタ 2 7、制御信号バッファ回路 2 8、モード制御回路 2 9、内部電源回路 3 0 から構成されている。

- 5 次に、メモリカード 1 a に設けられたフラッシュメモリ 4、4 a に割り付けられる論理アドレスについて、図 8 を用いて説明する。

図 8 における左側は、フラッシュメモリ 4 に論理アドレスが割り付けられたデータ構成であり、右側には、フラッシュメモリ 4 a に論理アドレスが割り付けられたデータ構成を示している。

- 10 論理アドレスにおいては、最初にフラッシュメモリ 4 の管理を行う制御情報データを格納するシステム領域が割り付けられている。このシステム領域における制御情報データは、前記実施の形態 1 と同様に、マスタブートレコード MBR、ブートセクタ BS、ファイルアロケーションテーブル FAT、ならびにディレクトリ DR によって構成されている。
- 15 このシステム領域は、論理アドレスにおいて、0 h 番地～5 8 h 番地までが割り付けられており、システム領域の後には、論理アドレスの 5 9 h 番地以降から 7 A F F h 番地までの領域が、ホストから入出力されるデータが格納されるデータ領域として割り付けられている。これらシステム領域ならびにデータ領域の論理アドレス割り付けは、前記実施の形態 1 と同様に、メモリカード 1 の製品出荷
- 20 前に行われる MS-DOS フォーマットにより作成される。

さらに、フラッシュメモリ 4、4 a に固定されている物理アドレスについて説明する。

- フラッシュメモリ 4、4 a の物理アドレスは、0 h 番地～3 D 7 F 番地が論理アドレスの割り付けに用いられ、3 D 8 0 h 番地以降が、不良セクタの管理を行うための不良登録テーブルを格納する不良登録テーブル格納領域、およびその不良登録テーブルセクタを参照して代替えセクタにアクセスを行う代替えセクタ領域、メモリカードのドライブ情報 ID を格納する ID 領域、メモリカードの名前、種類、機能などの情報 C I S を格納する C I S 領域として設けられる。不良登録
- 25 テーブル格納領域、ID 領域、C I S 領域はユーザーによるアクセスが不可能な

領域である。

また、フラッシュメモリ 4, 4 a における物理アドレスへの論理アドレス割り付けについて説明する。

フラッシュメモリ 4, 4 a の物理アドレスは、0 h 番地から順番にブロック (8
5 セクタ = 4 k B y t e) 単位により区切られている。前述したように、論理アドレスのデータ領域が始まるアドレスは、5 9 h 番地である。

この 5 9 h 番地にもっとも近い、フラッシュメモリ 4 におけるブロックの物理
アドレスは、3 0 h 番地から始まるブロックとなるので、このブロックの先頭ア
ドレスである 3 0 h 番地と論理アドレスにおけるデータ領域の先頭アドレスであ
10 る 5 9 h 番地と一致させ、3 0 h 番地から始まるブロックをデータ領域として割
り付ける。

フラッシュメモリ 4 の 3 0 h 番地から始まるブロックがデータ領域として割り
付けられると、フラッシュメモリ 4 a における 3 0 h 番地から始まるブロックを
データ領域として割り付ける。

15 そして、これらフラッシュメモリ 4, 4 a におけるデータ領域をブロック単位
によって交互に割り付ける。たとえば、図 9 に示すように、論理アドレスの 5 9
h 番地 ~ 6 0 h 番地をフラッシュメモリ 4 に割り付けると、その続きの論理アド
レスである 6 1 h 番地 ~ 6 8 h 番地は、フラッシュメモリ 4 a に割り付けられる
ことになる。

20 ここで、物理アドレスと論理アドレスとはオフセットされて割り付けられてい
るので、論理アドレス 7 A F 0 h 番地 ~ 7 A F F h 番地が足りないことになるが、
これら 7 つのアドレスは、フラッシュメモリ 4 における物理アドレスの先頭に戻
り、オフセットによって割り付けられていない物理アドレスの 0 h 番地 ~ 6 h 番
地に割り付けられる。

25 よって、論理アドレス 7 A F 0 h 番地 ~ 7 A F F h 番地が、フラッシュメモリ
4 における物理アドレスの 0 h 番地 ~ 6 h 番地にオフセットされて割り付けられ
ることになる。

また、システム領域における論理アドレスの割り付けについて説明する。この
システム領域における論理アドレスも同様に、物理アドレスにおいて形成された

ブロック単位により割り付けが行われている。

前述したように、フラッシュメモリ 4 の物理アドレスは、7 セクタ分オフセットされているので、フラッシュメモリ 4 の 0 h 番地～7 h 番地によって形成されるブロックにおいて、0 h 番地～6 h 番地がデータ領域となっており、このブ

5 ックでは、1 セクタのシステム領域が割り付けられる。

よって、物理アドレスの 7 h 番地にマスタブートレコード MBR が割り付けられ、その後のデータ領域に割り付けられるブートセクタ BS、ファイルアロケーションテーブル FAT、ならびにディレクトリ DR は、フラッシュメモリ 4、4 a の 1 ブロックずつ（8 セクタ）交互に割り付けられることになる。

10 さらに、フラッシュメモリ 4、4 a におけるデータ消去について説明する。

たとえば、論理アドレスの 59 h 番地から 16 セクタ（2 クラスタ）のデータ書き込みが行われる場合、論理アドレスにおける 59 h 番地から 16 セクタの間、すなわち、物理アドレスにおいては、フラッシュメモリ 4 の 30 h 番地～37 h 番地、およびフラッシュメモリ 4 a の 30 h 番地～37 h 番地の 2 つのブロック

15 を消去するだけでよいので、消去回数を 2 回とすることができる。

また、フラッシュメモリ 4、4 a におけるデータ書き込み動作について、図 10 のタイミングチャートを用いて説明する。

まず、ホストから 1 セクタ分のデータである転送データ T1 がメモリカード 1 のバッファメモリに転送される。メモリカード 1 のコントローラは、書き込まれるフラッシュメモリ 4 a におけるセクタ S1～セクタ S8 の管理情報をリードし、
20 その結果、不具合がない場合には、それら 8 セクタのデータを 1 度に消去、すなわち、ブロック消去が行われる。

転送データ T1 は、フラッシュメモリ 4 a の入力バッファに転送され、データ書き込み（書き込み 1）が行われる。このとき、ホストからは、次のデータである転送データ T2 が転送される。この転送データ T2 が転送される間、メモリカード 1 のコントローラは、2 つめのフラッシュメモリ 4 におけるセクタ S9 の管理情報をリードする。
25

転送データ T1 が書き込まれた後、続いて転送データ T2 が、フラッシュメモリ 4 の入力バッファに転送され、データ書き込み（書き込み 2）が行われる。こ

のとき、同様に、ホストからは、次のデータである転送データT 3が転送される。
また、この転送データT 3が転送される間、メモリカード1のコントローラは、
2つめのフラッシュメモリ4におけるセクタS 10の管理情報をリードする。

- これらの動作を繰り返すことによって、転送データT 5がフラッシュメモリ4
5 の入力バッファに転送され、データ書き込み（書き込み5）が行われると、ホス
トからは、次のデータである転送データT 6が転送される。この転送データT 6
が転送される間、メモリカード1のコントローラは、フラッシュメモリ4にお
けるセクタS 13, S 14の管理情報をリードする。

- 同様に、転送データT 6がフラッシュメモリ4の入力バッファに転送され、デ
10 ータ書き込み（書き込み6）が行われる。また、ホストから次のデータである転
送データT 7が転送されると、転送データT 7が転送される間、メモリカード1
のコントローラは、フラッシュメモリ4のセクタ15, 16の管理情報をリード
する。これで、フラッシュメモリ4における1ブロック分のセクタS 9～S 16
の管理情報がリードされたことになる。

- 15 そして、転送データT 7がフラッシュメモリ4の入力バッファに転送されて、
データ書き込み（書き込み7）が行われ、ホストから次のデータである転送デ
ータT 8が転送されると、転送データT 8が転送される間、フラッシュメモリ4の
8セクタのデータをブロック消去する。

- 以上の動作を繰り返し行うことにより、2つのフラッシュメモリ4, 4 aにお
20 ける消去、書き込み、メモリカード1へのデータ転送を並列して実行することが
できる。

- それにより、本実施の形態2においては、ホストからデータ転送されている間
に、メモリカード1のフラッシュメモリ4, 4 aにおけるデータ書き込み、デー
タのブロック消去を行うことができるので、データの書き込み時間を大幅に短縮
25 することができる。

また、本実施の形態2では、フラッシュメモリが2つの場合について記載した
が、このフラッシュメモリが、4個以上の2 n個の場合においても、本実施の形
態2における書き込み動作を行うことにより、データの書き込み時間を大幅に短
縮することができる。

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

5 産業上の利用可能性

以上のように、本発明にかかるメモリカード、論理アドレスの割り付け方法およびデータ書き込み方法は、メモリカードにおけるデータ消去、ならびに書き込みの高速化技術に適している。

請 求 の 範 囲

1. オフセット値が格納されたオフセット格納部と、前記オフセット格納部のオフセット値と入力された論理アドレスとを演算するオフセット演算部とを備え、
- 5 前記オフセット演算部の演算により論理アドレスをオフセットさせて不揮発性メモリに備えられた物理アドレスに割り付け、ブロック単位とクラスタ単位とを一致させることを特徴とするメモリカード。
2. 請求項1記載のメモリカードにおいて、前記オフセット格納部を前記不揮発性メモリのある領域に備えたことを特徴とするメモリカード。
- 10 3. 請求項2記載のメモリカードにおいて、前記オフセット値は、前記不揮発性メモリにおけるユーザーがアクセス不可能な領域に格納されることを特徴とするメモリカード。
4. 不揮発性メモリに備えられた物理アドレスをあるセクタ毎にまとめてセクタブロックを形成し、それぞれのセクタブロックのうち、任意のセクタブロックに
- 15 おける先頭の物理アドレスを、データ領域が始まる先頭の論理アドレスに割り付け、論理アドレスのデータ領域を物理アドレスの最後のセクタまで割り付けることを特徴とする論理アドレスの割り付け方法。
5. 不揮発性メモリに備えられた物理アドレスをあるセクタ毎にまとめてセクタブロックを形成し、それぞれのセクタブロックのうち、任意のセクタブロックに
- 20 おける先頭の物理アドレスを、データ領域が始まる先頭の論理アドレスに割り付け、論理アドレスのデータ領域が物理アドレスの最後のセクタまで割り付いたら、残りのデータ領域を物理アドレスの最初から割り付けることを特徴とする論理アドレスの割り付け方法。
6. 2つの不揮発性メモリにおける論理アドレスの割り付け方法であって、前記
- 25 2つの不揮発性メモリに備えられたそれぞれの物理アドレスを、あるセクタ毎にまとめてセクタブロックを形成し、前記2つの不揮発性メモリのうち、一方の不揮発性メモリの任意のセクタブロックにおける先頭の物理アドレスにデータ領域が始まる先頭の論理アドレスを割り付けた後、残りの論理アドレスを交互に前記2つの不揮発性メモリのセクタブロック毎に割り付け、論理アドレスのデータ領

域が、前記2つの不揮発性メモリにおける物理アドレスの最後のセクタまで割り付いたら、残りのデータ領域を前記一方の不揮発性メモリにおける物理アドレスの最初から割り付けることを特徴とする論理アドレスの割り付け方法。

7. 2N個の不揮発性メモリにおける論理アドレスの割り付け方法であって、前記2Nの不揮発性メモリに備えられたそれぞれの物理アドレスを、あるセクタ毎にまとめてセクタブロックを形成し、前記2N個の不揮発性メモリのうち、ある1つの不揮発性メモリの任意のセクタブロックにおける先頭の物理アドレスにデータ領域が始まる先頭の論理アドレスを割り付けた後、残りの論理アドレスを順番に前記2N個の不揮発性メモリのセクタブロック毎に割り付け、論理アドレスのデータ領域が、前記2N個の不揮発性メモリにおける物理アドレスの最後のセクタまで割り付いたら、残りのデータ領域を前記ある1つの不揮発性メモリにおける物理アドレスの最初から割り付けることを特徴とする論理アドレスの割り付け方法。

8. 請求項5～7のいずれか1項に記載の論理アドレスの割り付け方法において、論理アドレスが割り付けられる前記セクタブロックの物理アドレスが、データ領域が始まる先頭の論理アドレスにもっとも近いアドレスであることを特徴とする論理アドレスの割り付け方法。

9. 1つの不揮発性メモリが備えられたメモリカードのデータ書き込み方法であって、ホストから転送される書き込みデータを前記メモリカードに一時的に格納し、前記不揮発性メモリにおける1ブロック分の管理情報を読み込んで、そのブロック消去を行い、前記メモリカードに一時的に格納された書き込みデータを前記不揮発性メモリのブロック消去されたセクタに格納しながら、前記ホストから転送される次の書き込みデータを前記メモリカードに一時的に格納することを特徴とするメモリカードのデータ書き込み方法。

10. 2N個の不揮発性メモリが備えられたメモリカードのデータ書き込み方法であって、1番目にデータ書き込みされる不揮発性メモリに備えられたセクタブロックの管理情報を読み込み、そのセクタブロックをブロック消去する第1の工程と、前記メモリカードに一時的に格納された書き込みデータを前記不揮発性メモリのセクタに格納しながら、2番目にデータ書き込みされる不揮発性メモリに

- おける任意のセクタの管理情報を読み込み、次の書き込みデータを前記メモリカードに一時的に格納する第2の工程と、前記2番目にデータ書き込みされる不揮発性メモリにおけるセクタブロックのすべての管理情報が読み込まれると、そのセクタブロックの消去を行いながら、前記メモリカードに一時的に格納された書き込みデータを前記1番目の不揮発性メモリのセクタに格納し、前記2番目にデータ書き込みされる不揮発性メモリにおける任意のセクタの管理情報を読み込む第3の工程と、前記第2、第3の工程における処理を、2N番目にデータ書き込みされる不揮発性メモリまで繰り返し行うことを特徴とするメモリカードのデータ書き込み方法。
- 5

図 1

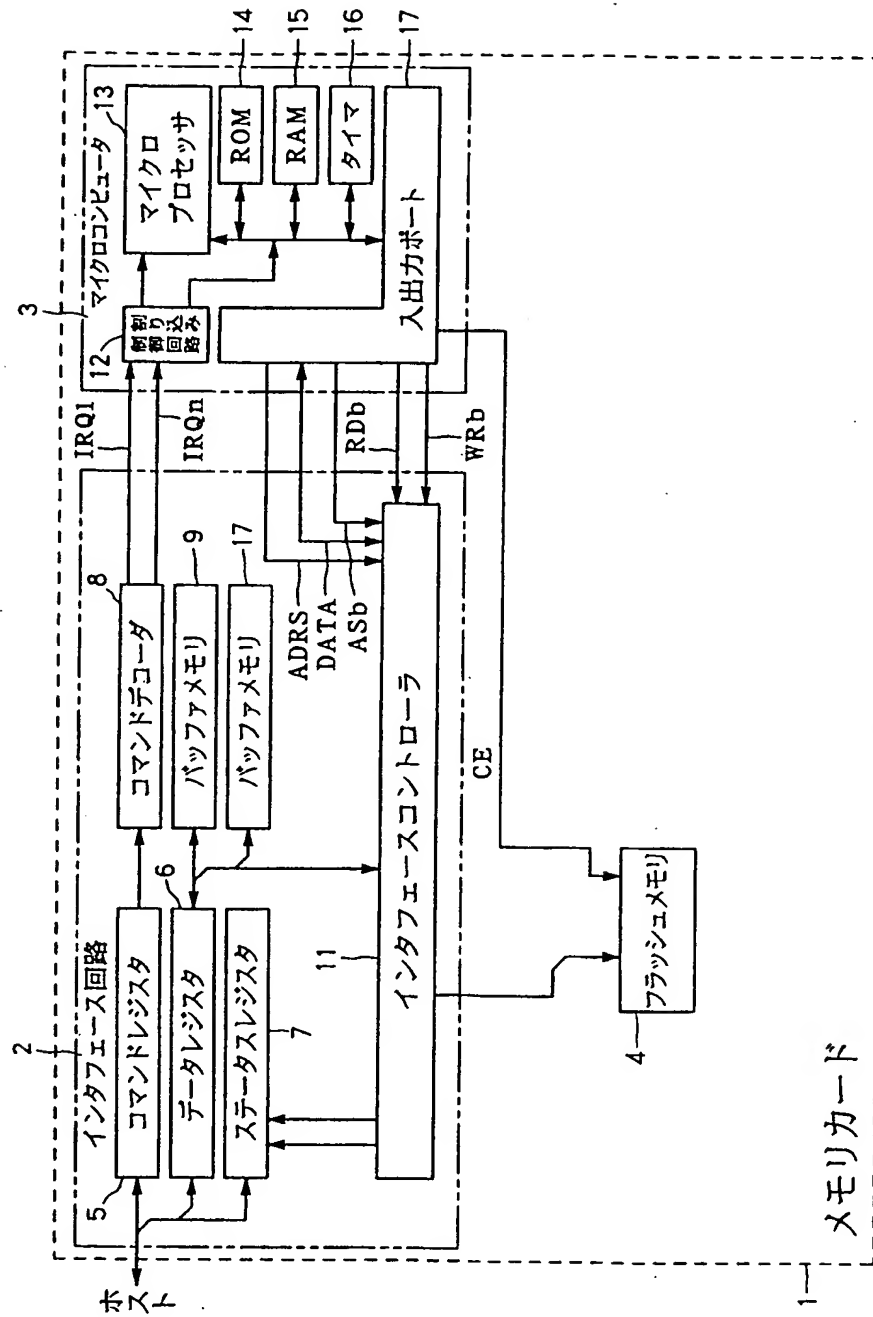


図 2

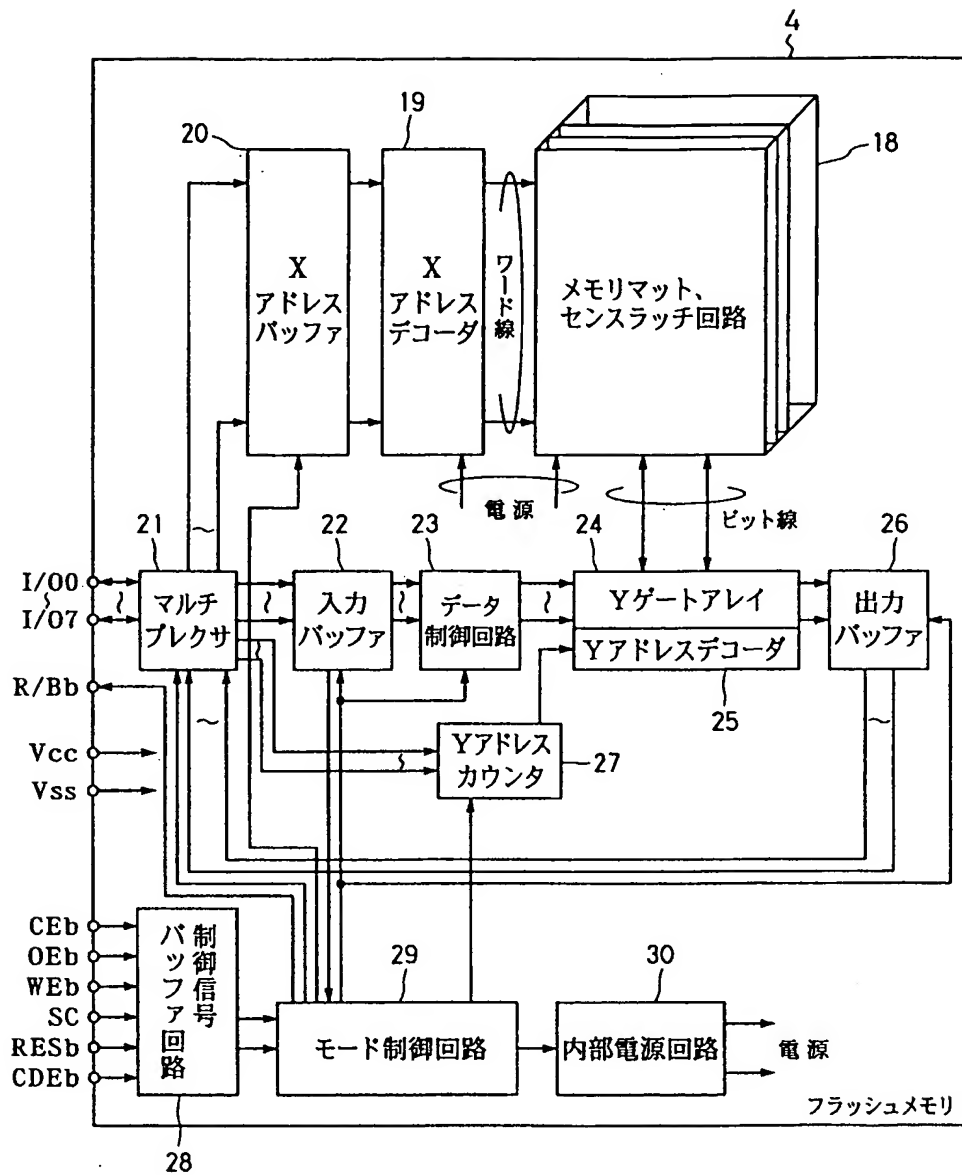


図 3

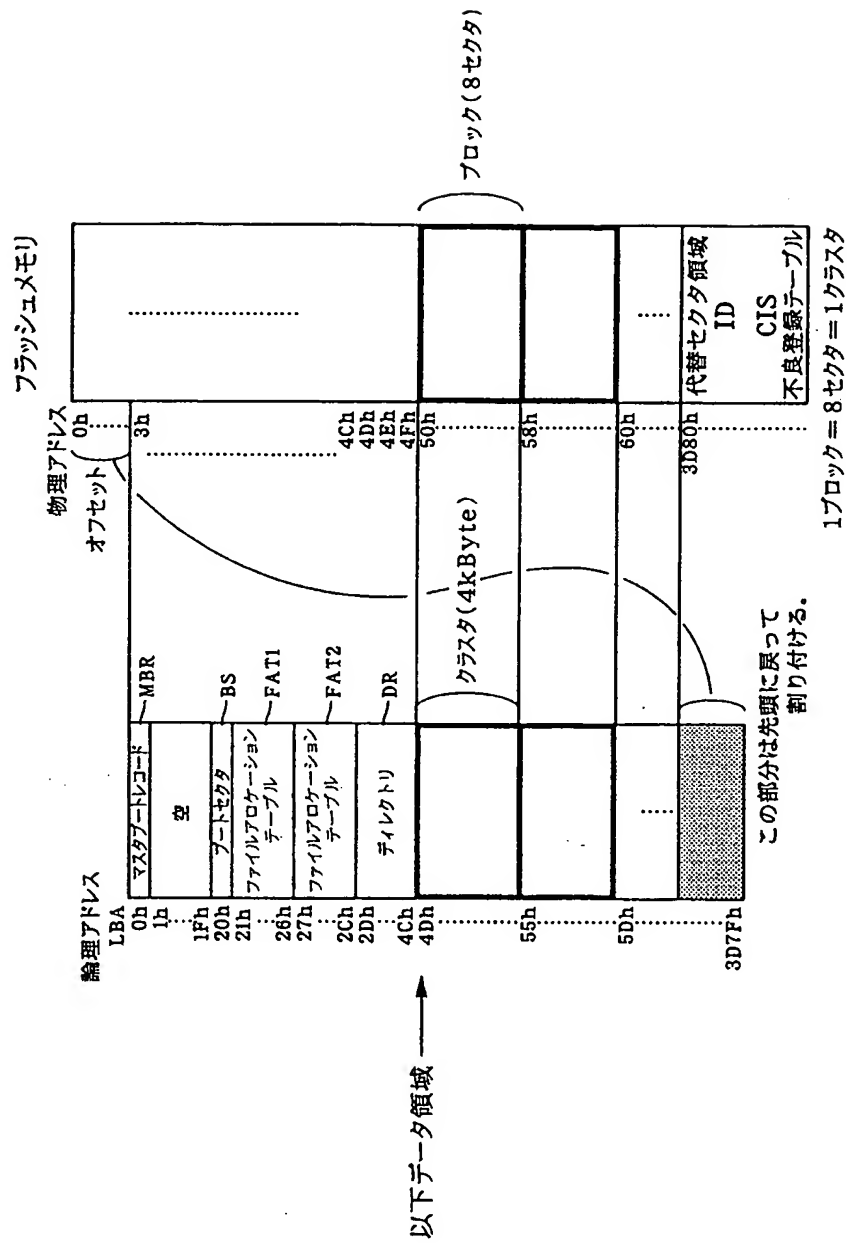


図 4

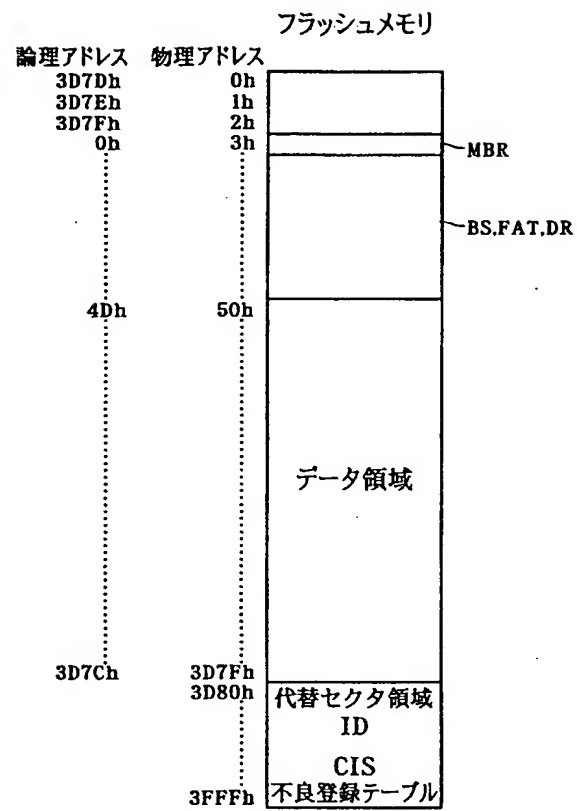


図 5

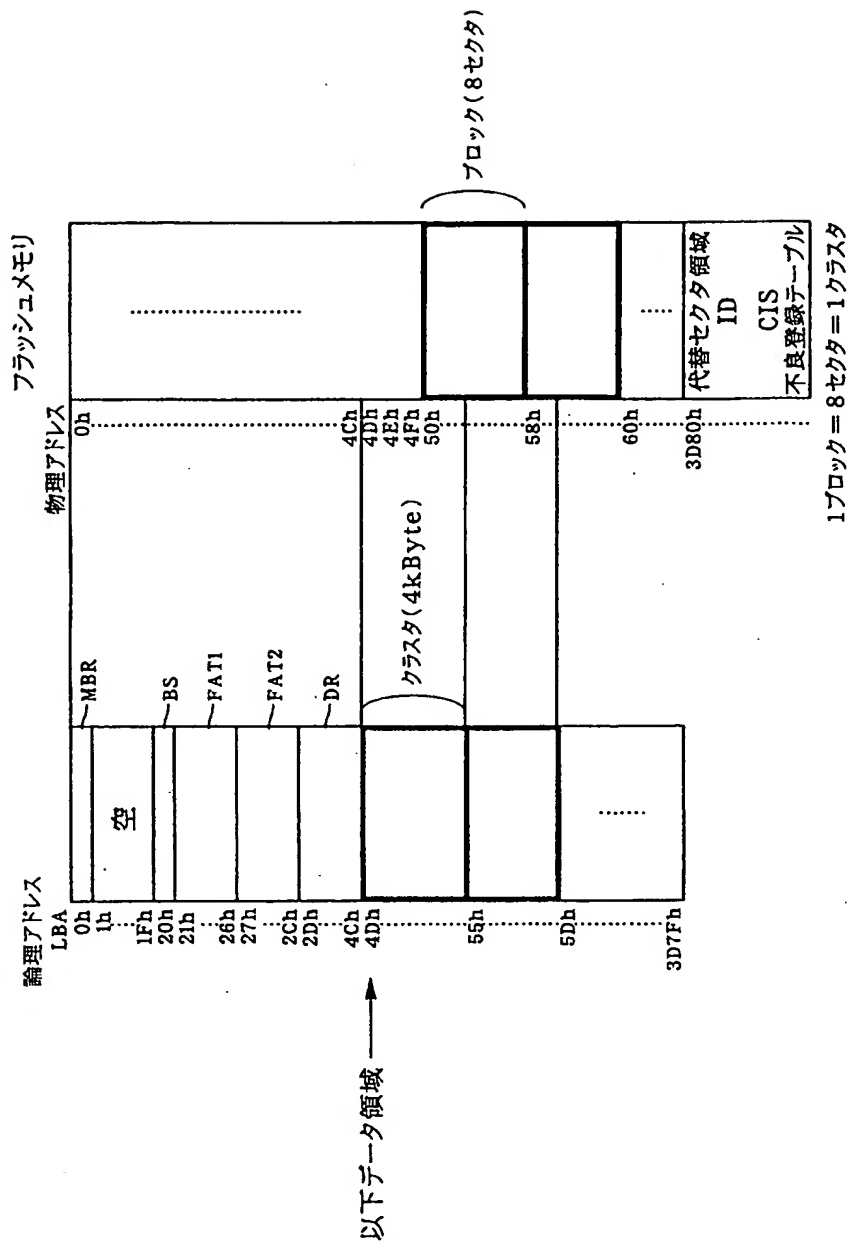


図 6

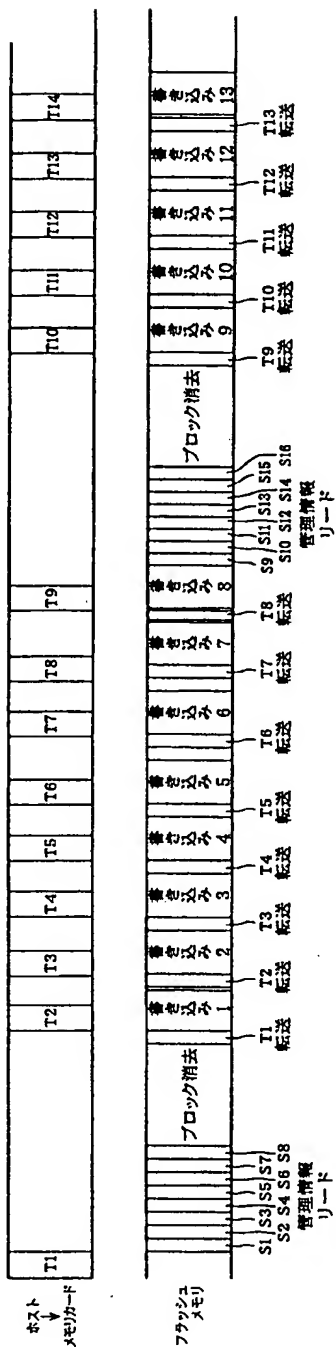


図 8

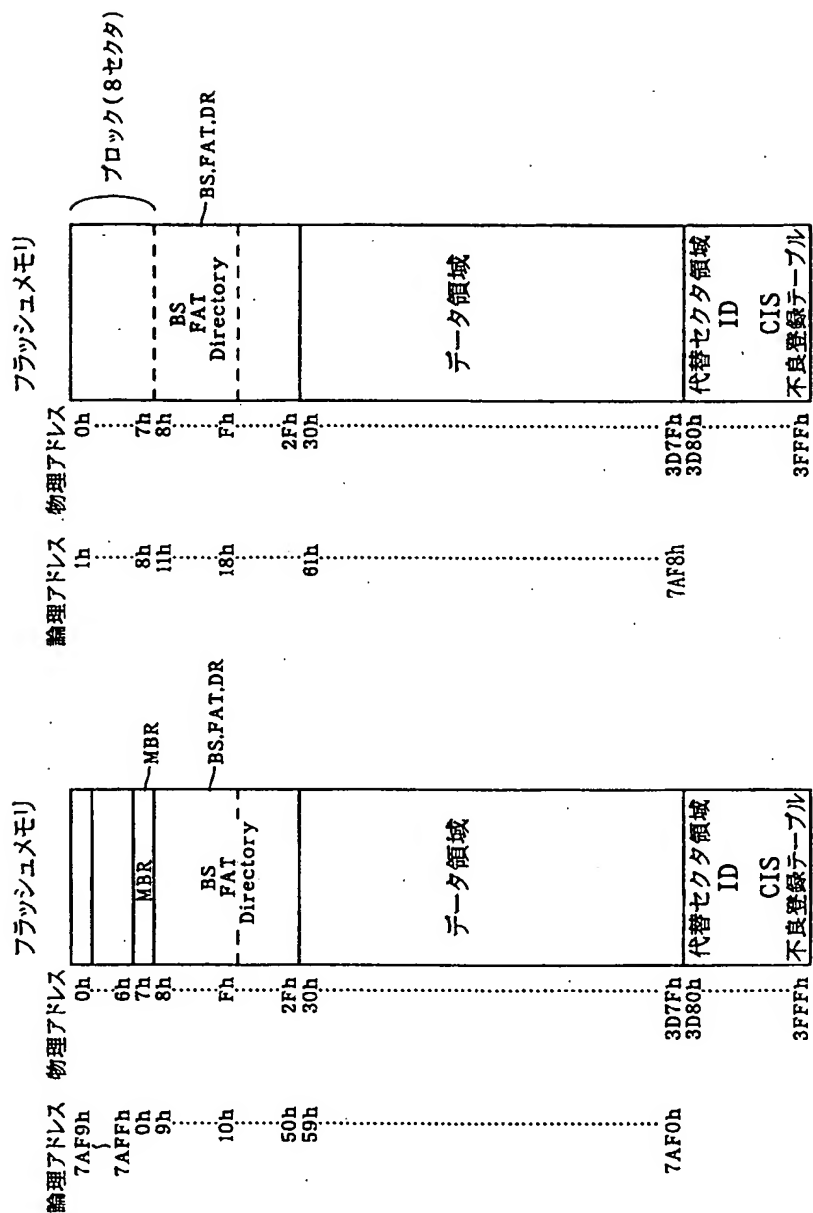


図 9

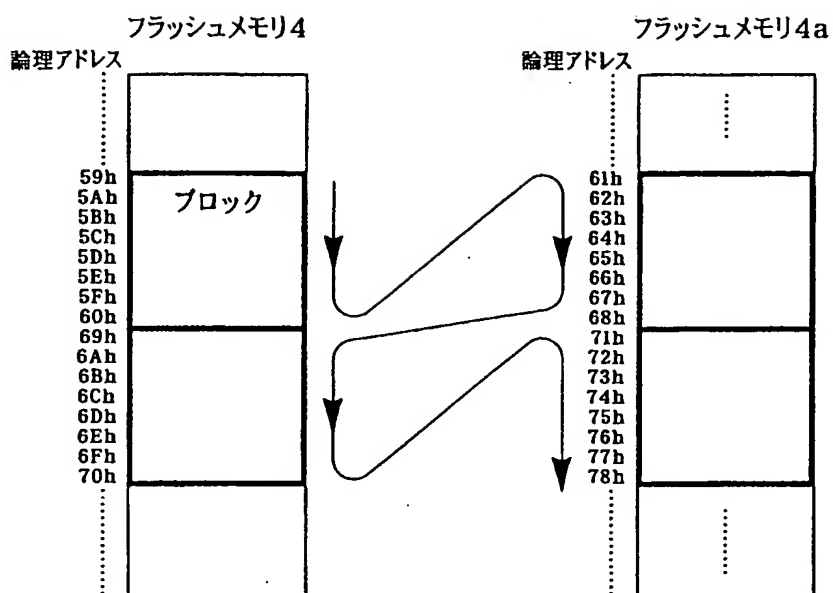


図 10

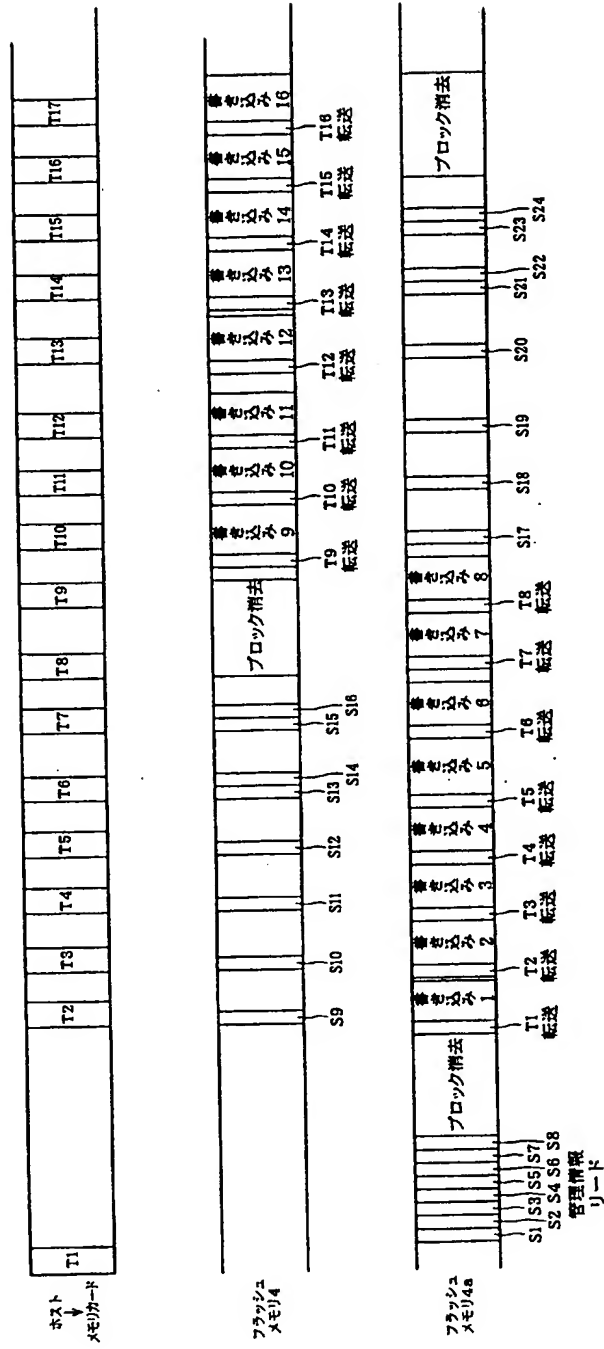
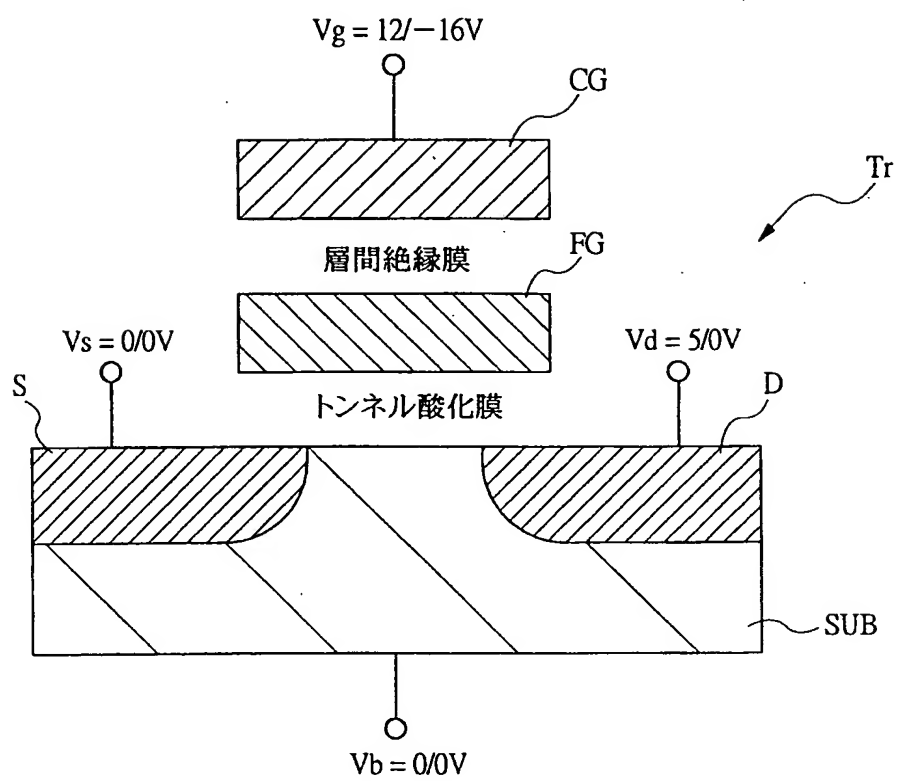


図 11



動作電圧=書込み/消去

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00827

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F12/00, G06F12/02, G06K19/07, G11C16/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F3/08, G06F12/00, G06F12/02,
G06K19/07, G11C16/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO, 99/08177, A1 (TOKYO ELECTRON LIMITED), 18 February, 1999 (18.02.99), Full text; Fig. 4	4
Y	Full text; Fig. 4	5-8
A	Full text; Fig. 4 & JP, 11-53248, A	1-3
Y	JP, 10-44527, A (Fuji Xerox Co., Ltd.), 17 February, 1998 (17.02.98), Par. Nos.[0034]-[0036], Figs. 5 to 7 (Family: none)	5-8
X	JP, 6-124175, A (Sharp Corporation), 06 May, 1994 (06.05.94), Full text; Figs. 1 to 6	9
Y	Full text; Figs. 1 to 6 (Family: none)	6-8, 10
Y	US, 5524230, A (International Business Machines Incorporated), 04 June, 1996 (04.06.96), Column 6, line 30 to Column 8, line 7; FIGS.4-8 & JP, 5-27924, A, Par. Nos.[0023]-[0031], Figs. 4 to 8 & DE, 69223287, T & EP, 522780, A2	10

☐ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 09 May, 2000 (09.05.00)	Date of mailing of the international search report 30.05.00
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00827

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1 to 3 relate to a memory card where a logical address is converted to a physical address by adding an offset to the logical address so that the block unit is made to agree with the cluster unit.

The inventions of claims 4 to 8 relate to a logical address allocating method for allocating the first physical address of a sector block to the first logical address of a data area.

The inventions of claims 9 and 10 relate to a data writing method for writing data in a nonvolatile memory of a memory card.

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☒ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G06F12/00, G06F12/02, G06K19/07, G11C16/06

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G06F3/08, G06F12/00, G06F12/02,
G06K19/07, G11C16/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2000年
日本国登録実用新案公報	1994-2000年
日本国実用新案登録公報	1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	WO, 99/08177, A1 (TOKYO ELECTRON LIMITED) 18. 2月. 1999 (18. 02. 99)	4
Y	全文, 第4図	5-8
A	全文, 第4図 & JP, 11-53248, A	1-3

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

09. 05. 00

国際調査報告の発送日

30.05.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
多賀 実

5N 2945

電話番号 03-3581-1101 内線 3585

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 10-44527, A (富士ゼロックス株式会社) 17. 2月. 1998 (17. 02. 98) 段落番号【0034】-【0036】, 第5-7図 (ファミリーなし)	5-8
X	JP, 6-124175, A (シャープ株式会社) 6. 5月. 1994 (06. 05. 94) 全文, 第1-6図	9
Y	全文, 第1-6図 (ファミリーなし)	6-8, 10
Y	US, 5524230, A (International Business Machines Incorporated) 4. 6月. 1996 (04. 06. 96) 第6欄30行-第8欄7行, FIG. 4-8 & JP, 5-27924, A, 段落番号【0023】-【0031】, 第4-8図 & DE, 69223287, T & EP, 522780, A2	10

第I欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項(PCT17条(2)(a))の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第II欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1-3は、ブロック単位とクラスタ単位を一致させるために、論理アドレスにオフセットを加えて物理アドレスに変換するメモリカードに関するものである。

請求の範囲4-8は、セクタブロックにおける先頭の物理アドレスを、データ領域の先頭の論理アドレスに割り付ける論理アドレスの割付方法に関するものである。

請求の範囲9-10は、メモリカードの不揮発性メモリに対してデータを書き込むときのデータ書き込み方法に関するものである。

1. ☒ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.